

014818463 **Image available**

WPI Acc No: 2002-639169/200269

XRPX Acc No: N02-505080

Active matrix liquid crystal display device for computer, has odd and even pixels that are connected to respective signal line groups and scanning line in specified direction

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2002214645	A	20020731	JP 200112753	A	20010122	200269 B

Priority Applications (No Type Date): JP 200112753 A 20010122

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2002214645	A		7 G02F-001/1368	

Abstract (Basic): JP 2002214645 A

NOVELTY - The odd pixels are connected to a signal line group and even pixels are connected to another signal line group in Y direction. The nth pixel and the (n-1)th pixel are connected to a same scanning line, where n' is an integer.

USE - For computer, television.

ADVANTAGE - Reduces the signal line drive electric power to half, by increasing the ON time of the switching element and the margin of the charging time.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of the active matrix liquid crystal display device. (Drawing includes non-English language text).

pp; 7 DwgNo 1/7

Title Terms: ACTIVE; MATRIX; LIQUID; CRYSTAL; DISPLAY; DEVICE; COMPUTER; ODD; EVEN; PIXEL; CONNECT; RESPECTIVE; SIGNAL; LINE; GROUP; SCAN; LINE; SPECIFIED; DIRECTION

Derwent Class: P81; P85; T04; U14; W03

International Patent Class (Main): G02F-001/1368

International Patent Class (Additional): G02F-001/133; G09G-003/20; G09G-003/30; G09G-003/36

File Segment: EPI; EngPI

ACTIVE MATRIX DISPLAY

Patent Number: JP2002214645
Publication date: 2002-07-31
Inventor(s): FURUBAYASHI YOSHINORI
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD
Requested Patent: ☐ JP2002214645

Application Number: JP20010012753 20010122

Priority Number(s):

IPC Classification: G02F1/1368; G02F1/133; G09G3/20; G09G3/30; G09G3/36

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide an active matrix display which is easily adaptable to higher definition.
SOLUTION: The on-time of a switching element can be doubled, the margin of a charging time can be made larger and also the signal line driving electric power can be reduced by half by making the signal line have a divided wiring structure.

Data supplied from the **esp@cenet** database - I2

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード	(参考)
G02F 1/1368		G02F 1/1368	2H092	
1/133	550	1/133	2H093	
G09G 3/20	611	G09G 3/20	A 5C006	
	622		L 5C080	
			622 P	
審査請求 未請求 請求項の数16 O L (全7頁) 最終頁に続く				

(21) 出願番号 特願2001-12753 (P 2001-12753)

(22) 出願日 平成13年1月22日 (2001. 1. 22)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 古林 好則

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

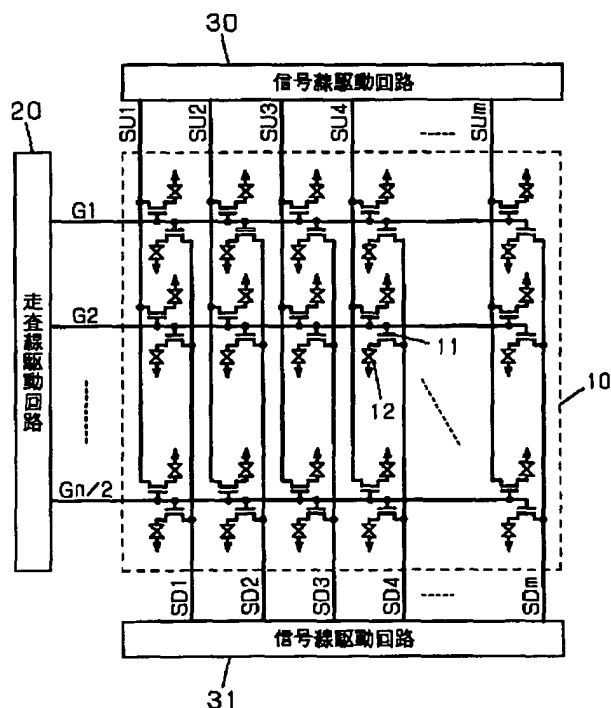
最終頁に続く

(54) 【発明の名称】 アクティブマトリックス表示装置

(57) 【要約】

【課題】 画素数の増加に伴うアクティブマトリックス液晶表示装置の電力増加と充電時間の減少という問題を解決し、高精細化への対応が容易なアクティブマトリックス表示装置を提供する。

【解決手段】 信号線を分割配線構成とすることで、スイッチング素子のオン時間を倍増し、充電時間のマージンを大きくすると共に信号線駆動電力を半減することができる。



【特許請求の範囲】

【請求項 1】 X 方向に m 個、Y 方向に n 個の画素をマトリックス状に配置し、各画素は画素電極とスイッチング素子から構成され、前記スイッチング素子を介して画素電極への電圧の印加を制御する信号線と走査線がそれぞれ Y 方向と X 方向に配線されたアクティブマトリックス表示装置であって、Y 方向に 1, 3, 5, . . . 番目の画素は第 1 の信号線群に、2, 4, 6, . . . 番目の画素は第 2 の信号線群にそれぞれ接続し、1 及び 2 番目の画素、3 及び 4 番目の画素、5 及び 6 番目、. . . 、(n-1) および n 番目の画素がそれぞれ同一の走査線に接続され、少なくとも 2 m 本の信号線を有することを特徴とするアクティブマトリックス表示装置。

【請求項 2】 画素の両側に第 1 の信号線と第 2 の信号線を配置することを特徴とする請求項 1 記載のアクティブマトリックス表示装置。

【請求項 3】 第 1 の信号線群と第 2 の信号線群を共通の駆動装置に接続することを特徴とする請求項 1 記載のアクティブマトリックス表示装置。

【請求項 4】 第 1 の信号線群と第 2 の信号線群をそれぞれ第 1 の駆動装置および第 2 の駆動装置に接続することを特徴とする請求項 1 記載のアクティブマトリックス表示装置。

【請求項 5】 第 1 の駆動装置と第 2 の駆動装置が画素領域の両側になるよう配置することを特徴とする請求項 4 記載のアクティブマトリックス表示装置。

【請求項 6】 画素電極に液晶素子が接続されていることを特徴とする請求項 1 記載のアクティブマトリックス表示装置。

【請求項 7】 液晶素子が反射型であることを特徴とする請求項 1 記載のアクティブマトリックス表示装置。

【請求項 8】 画素電極に発光素子が接続されていることを特徴とする請求項 1 記載のアクティブマトリックス表示装置。

【請求項 9】 スイッチング素子が薄膜トランジスタであることを特徴とする請求項 1 記載のアクティブマトリックス表示装置。

【請求項 10】 X 方向に m 個、Y 方向に n 個の画素をマトリックス状に配置し、各画素は画素電極とスイッチング素子から構成され、前記スイッチング素子を介して画素電極への電圧の印加を制御する信号線と走査線がそれぞれ Y 方向と X 方向に配線されたアクティブマトリックス表示装置であって、Y 方向に 2 つの領域に分割し、一方の領域の画素は第 1 の信号線群に、他方の領域の画素は第 2 の信号線群にそれぞれ接続し、少なくとも 2 m 本の信号線を有することを特徴とするアクティブマトリックス表示装置。

【請求項 11】 第 1 の信号線群に接続された画素は第 1 の走査線群に接続し、第 2 の信号線群に接続された画素は第 2 の走査線群に接続することを特徴とする請求項

10 記載のアクティブマトリックス表示装置。

【請求項 12】 第 1 の信号線群に接続された画素は第 1 および第 3 の走査線群に接続し、第 2 信号線群に接続された画素は第 2 および第 3 の走査線群に接続することを特徴とする請求項 10 記載のアクティブマトリックス表示装置。

【請求項 13】 画素電極に液晶素子が接続されていることを特徴とする請求項 10 記載のアクティブマトリックス表示装置。

【請求項 14】 液晶素子が反射型であることを特徴とする請求項 10 記載のアクティブマトリックス表示装置。

【請求項 15】 画素電極に発光素子が接続されていることを特徴とする請求項 10 記載のアクティブマトリックス表示装置。

【請求項 16】 スイッチング素子が薄膜トランジスタであることを特徴とする請求項 10 記載のアクティブマトリックス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータの画像やテレビジョンの映像等を表示するためのアクティブマトリックス液晶表示装置に関するものである。

【0002】

【従来の技術】近年、液晶表示装置 (LCD) は、薄型、省電力といった特徴から注目され、より一層の高精細化、省電力化の要求が高まっている。

【0003】図 6 に従来のアクティブマトリックス液晶表示装置の構成図を示す。図 6 において、10 は表示領域部であり、走査線 G1, G2, G3, G4, . . . , Gn-1, Gn と、信号線 S1, S2, S3, S4, . . . , Sm との交差部の各画素にスイッチング素子 11 と液晶素子 12 とが配置され、各走査線は走査線駆動回路 20 に接続され、各信号線は信号線駆動回路 30 に接続されている。

【0004】図 7 は従来のアクティブマトリックス液晶表示装置の動作タイミングを示すものである。走査線駆動回路 20 で各走査線 G1, G2, G3, G4, . . . , Gn-1, Gn をそれぞれ図 7 の V(G1), V(G2), V(G3), V(G4), . . . , V(Gn-1), V(Gn) に示すように、順次に走査することで、1 水平期間ごとに各走査線に接続されたスイッチング素子を順次選択的にオンさせて各信号線からの信号 V(S) を各液晶素子に印加して表示を行う。ここで、フリッカを抑制するため隣接する画素で印加電圧の極性を異ならせるため、信号線の駆動電圧は 1 水平期間毎に反転させるのが一般的である。

【0005】

【発明が解決しようとする課題】このような従来のアクティブマトリックス液晶表示装置では、1 つの信号線の容量を Cs, 1 水平期間つまり各走査線のオン期間を th、信号線の最大駆動電圧を Vsp とすると、m 本の信

号線の最大駆動電力 P は式 $P = m \times C_s \times V_{spp} \times V_{spp} / (2 \times t_h)$ で表せる。ここで、 t_h はフレーム周期と走査線数によって決まるが、フリッカの発生を抑制するためにフレーム周期は任意に設定することが困難であるため、走査線数の増加に伴って t_h は短くなる。また C_s は走査線との交差の数に依存する。したがって、高精細化に伴ない画素数が増加すると信号線数 m と走査線数 n が大きくなり、電力 P が大きくなる。また、 t_h が短くなることから液晶素子への充電時間が短くなり、スイッチング素子 1 1 の性能の向上が必要となるという問題

【0 0 0 6】本発明は上記従来の問題点を解決するもので、画素数の増加に伴う電力の増加を抑制すると共に、画素の液晶素子への充電時間を長くするアクティブマトリックス表示装置を提供することを目的とする。

【0 0 0 7】

【課題を解決するための手段】この目的を達成するために本発明のアクティブマトリックス表示装置は、 X 方向に m 個、 Y 方向に n 個の画素をマトリクス状に配置し、各画素は画素電極とスイッチング素子から構成され、スイッチング素子を介して画素電極の印加を制御する信号線と走査線がそれぞれ Y 方向と X 方向に配線されたアクティブマトリックス表示装置であって、 Y 方向に 1, 3, 5, ... 番目の画素は第 1 の信号線群に、2, 4, 6, ... 番目の画素は第 2 の信号線群にそれぞれ接続し、1 及び 2 番目の画素、3 及び 4 番目の画素、5 及び 6 番目の画素、...、 $(n-1)$ 及び n 番目の画素がそれぞれ同一の走査線に接続され、少なくとも 2 本の信号線を有することを特徴として構成されている。

【0 0 0 8】上記構成により、同一画素数では、信号線の駆動周期とスイッチング素子のオン時間を 2 倍にすることができ、電力の削減と画素への書き込みマージンの拡大が可能となる。

【0 0 0 9】また、 X 方向に m 個、 Y 方向に n 個の画素をマトリクス状に配置し、各画素は画素電極とスイッチング素子から構成され、前記スイッチング素子を介して画素電極の印加を制御する信号線と走査線がそれぞれ Y 方向と X 方向に配線されたアクティブマトリックス表示装置であって、 Y 方向に 2 つの領域に分割し、一方の領域の画素は第 1 の信号線群に、他方の領域の画素は第 2 の信号線群にそれぞれ接続し、少なくとも 2 本の信号線を有することを特徴として構成されている。

【0 0 1 0】上記構成により、電力の削減と画素への書き込みマージンの拡大を行うと共に、信号線数の増加に伴う有効表示領域の減少を抑止することが可能となる。

【0 0 1 1】

【発明の実施の形態】（発明の実施の形態 1）以下、本発明の実施の形態について図面を参照しながら説明する。

【0 0 1 2】図 1 に本発明の実施の形態に係わるアクティブマトリックス液晶表示装置の構成図を示す。図 1 において、1 0 は表示領域部であり、走査線 $G_1, G_2, G_3, G_4, \dots, G_{n/2}$ と、信号線 $SU_1, SU_2, SU_3, SU_4, \dots, SU_m, SD_1, SD_2, SD_3, SD_4, \dots, SD_m$ との交差部の各画素にスイッチング素子 1 1 と液晶素子 1 2 とが配置され図 5 と同じ画素数を構成している、各走査線は走査線駆動回路 2 0 に接続され、各信号線は信号線駆動回路 3 0, 3 1 に接続されている。

【0 0 1 3】図 2 は本実施形態のアクティブマトリックス液晶表示装置の動作タイミングを示すものである。走査線駆動回路 2 0 で各走査線 $G_1, G_2, \dots, G_{n/2}$ をそれぞれ図 2 の $V(G_1), V(G_2), \dots, V(G_{n/2})$ に示すように、順次に走査することで、1 水平期間ごとに各走査線に接続されたスイッチング素子を順次選択的にオンさせて各信号線からの信号 $V(SU), V(SD)$ を各液晶素子に印加して表示を行う。

【0 0 1 4】ここで、従来の構成におけるスイッチング素子のオン時間を t_h とすると、本実施形態ではその時間が 2 倍の $2 \times t_h$ になる。したがって液晶素子への書き込み時間のマージンが大きくなる。また各信号線の容量は走査線数が半減するので $C_s / 2$ であるが信号線数が倍増するので、信号線駆動電力は $P = 2 \times m \times C_s / 2 \times V_{spp} \times V_{spp} / (2 \times 2 \times t_h) = m \times C_s \times V_{spp} \times V_{spp} / (4 \times t_h)$ となり、図 6 の構成にくらべ半減することが可能となる。また、フリッカを抑制するため隣接画素の印加電圧の極性を反転させるとすると、従来であれば図 7 に示すように 1 垂直期間の中で 1 水平期間毎に信号線駆動電圧 $V(S)$ の極性を反転させる必要があったが、本発明では信号線駆動電圧 $V(SU), V(SD)$ は図 2 に示すように 1 垂直期間にわたって極性が変化しないので、さらに電力が低減され式以下の電力になる。

【0 0 1 5】また、信号線は図 1 に示すように画素の両側に配置することにより、信号線間の交差点を無くすることが可能となり、信号線容量の増加が阻止できる。さらに反射型の液晶素子や、エレクトロルミネッセンスなどの発光素子を用いることにより信号線の増加に伴う有効表示画素領域の減少が回避できる。

【0 0 1 6】（発明の実施の形態 2）以下、本発明の第 2 の実施の形態について図面を参照しながら説明する。図 3 は本発明の第 2 の実施の形態を示すアクティブマトリックス液晶表示装置の構成図である。

【0 0 1 7】図 3 において、1 0 は表示領域部であり、走査線 $G_1, G_2, G_3, G_4, \dots, G_n$ と、信号線 $SU_1, SU_2, SU_3, SU_4, \dots, SU_m, SD_1, SD_2, SD_3, SD_4, \dots, SD_m$ との交差部の各画素にスイッチング素子 1 1 と液晶素子 1 2 とが配置され図 5 と同じ画素数を構成している。各走査線は走査線駆動回路 2 0 に接続され、各信号線は信号線駆動回路 3 0, 3 1

に接続されている。

【0 0 1 8】図 4 は本実施形態のアクティブマトリックス液晶表示装置の動作タイミングを示すものである。走査線駆動回路 2 0 で各走査線 G1, G2, . . . , Gn をそれぞれ図 2 の V (G1), V (G2), . . . , V (Gn) に示すように、順次に走査することで、1 水平期間ごとに各走査線に接続されたスイッチング素子を順次選択的にオンさせて各信号線からの信号 V (SU), V (SD) を各液晶素子に印加して表示を行う。

【0 0 1 9】ここで、従来の構成におけるスイッチング素子のオン時間を t_h とすると、本実施形態ではその時間が 2 倍の $2 \times t_h$ になる。したがって液晶素子への書き込み時間のマージンが大きくなる。また各信号線の容量は走査線数が半減するので $C_s / 2$ であるが信号線数が倍増するので、信号線駆動電力は

$$P = 2 \times m \times C_s / 2 \times V_{spp} \times V_{spp} / (2 \times 2 \times t_h) \\ = m \times C_s \times V_{spp} \times V_{spp} / (4 \times t_h)$$

となり、図 6 の構成に比べ半減にすることが可能となる。

【0 0 2 0】また、図 5 に示すように、表示領域を Y 方向に分割する境界位置を信号線毎に (X 方向に沿って) 異なる構成にすることにより、上下分割した表示領域間で発生するかもしれない輝度差を緩和することが可能となる。この構成では、上側領域の画素 (上側信号線駆動回路 3 0 に接続された画素) の大部分は第一の走査線群 (G1 ~ Gn/2-1) に接続され、下側領域の画素 (下側信号線駆動回路 3 1 に接続された画素) の大部分は第二の走査線群 (Gn/2+2 ~ Gn) に接続されるが、分割境界近辺では、上側領域の画素の一部、および下側領域の画素の一部は第三の走査線群 (Gn/2, Gn/2+1) に接続されている。

【0 0 2 1】なお、第 1 の発明の実施の形態において、信号線駆動回路を 3 0 と 3 1 に分離して表示領域の両側に配置する構成としたが、この構成に限定されるもので

はなく、信号線駆動回路 3 0 と 3 1 を表示領域の一方に配置してもよく、また同一の駆動回路で駆動する構成にしてもよい。

【0 0 2 2】

【発明の効果】以上説明したように、本発明によれば、信号線を分割配線構成とすることで、スイッチング素子のオン時間を長くし、充電時間のマージンを大きくすると共に信号線駆動電力を半減することができ、高精細化による画素数の増加に対応が容易になり、またパネルの大型化による寄生抵抗、寄生容量の増加に対してもスイッチング時間を倍増できることから、影響を小さくすることができ、その実用的効果は大きい。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態におけるアクティブマトリックス液晶表示装置の構成図

【図 2】本発明の第 1 の実施の形態におけるアクティブマトリックス液晶表示装置の動作タイミングチャート

【図 3】本発明の第 2 の実施の形態におけるアクティブマトリックス液晶表示装置の構成図

【図 4】本発明の第 2 の実施の形態におけるアクティブマトリックス液晶表示装置の動作タイミングチャート

【図 5】本発明の第 2 の実施の形態におけるアクティブマトリックス液晶表示装置の構成図

【図 6】従来の実施の形態におけるアクティブマトリックス液晶表示装置の構成図

【図 7】従来の実施の形態におけるアクティブマトリックス液晶表示装置の動作タイミングチャート

【符号の説明】

1 0 表示領域部

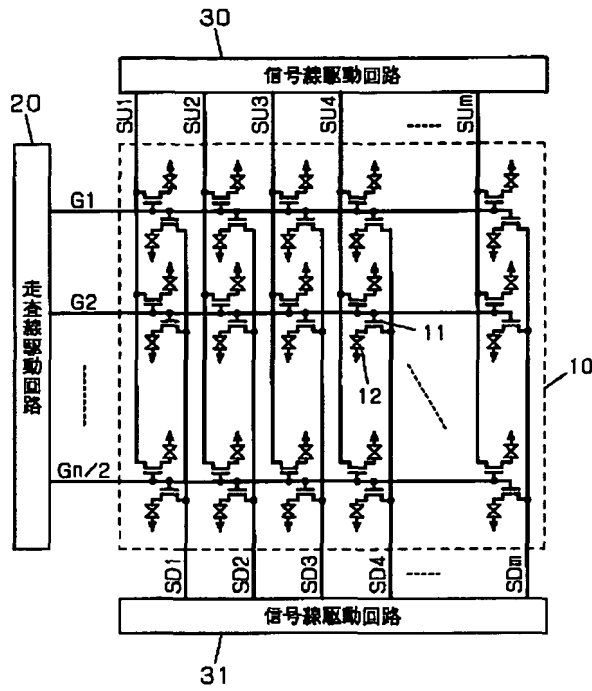
1 1 スwitchング素子

1 2 液晶素子

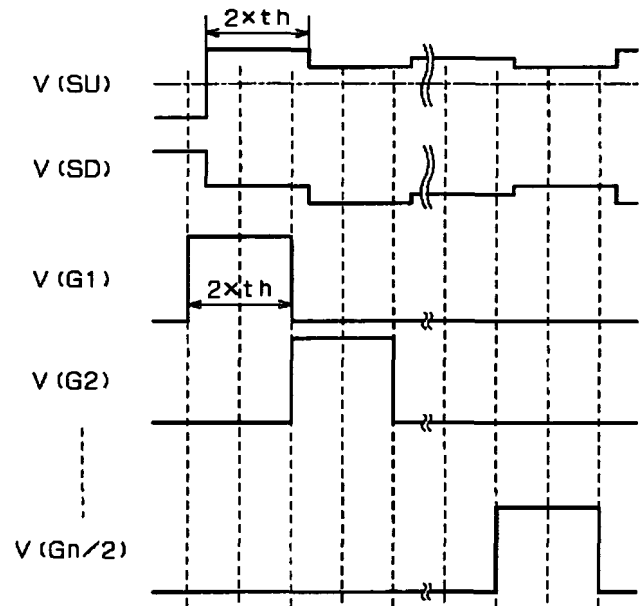
2 0 走査線駆動回路

3 0, 3 1 信号線駆動回路

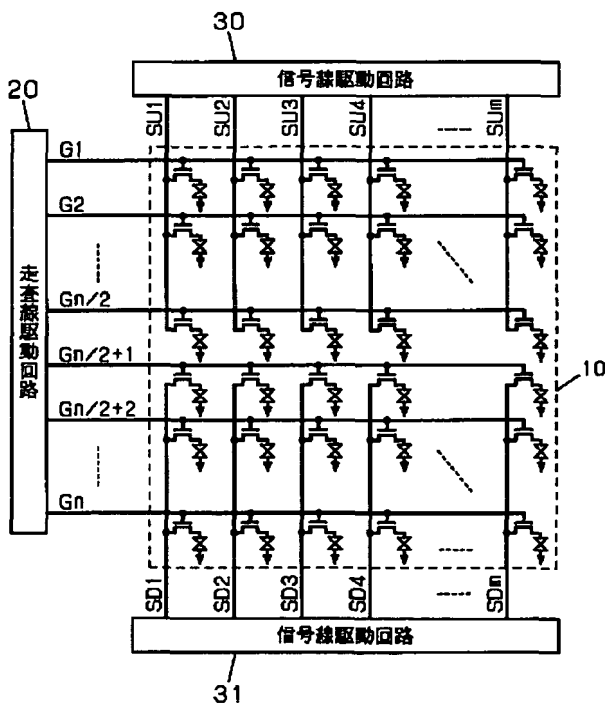
【図 1】



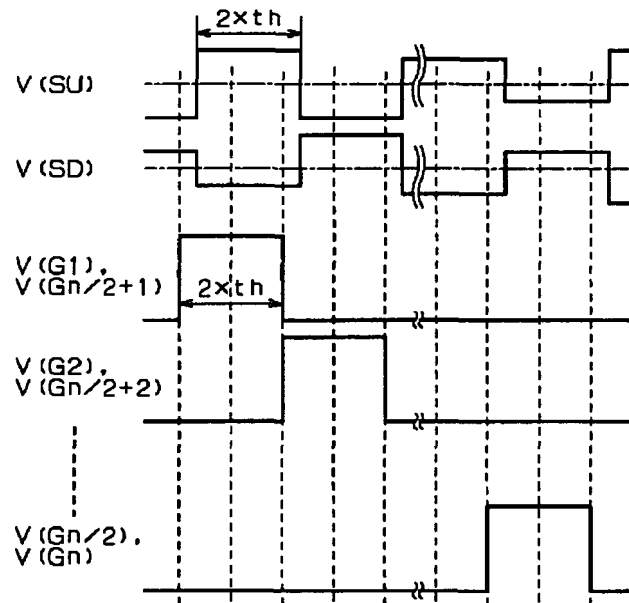
【図 2】



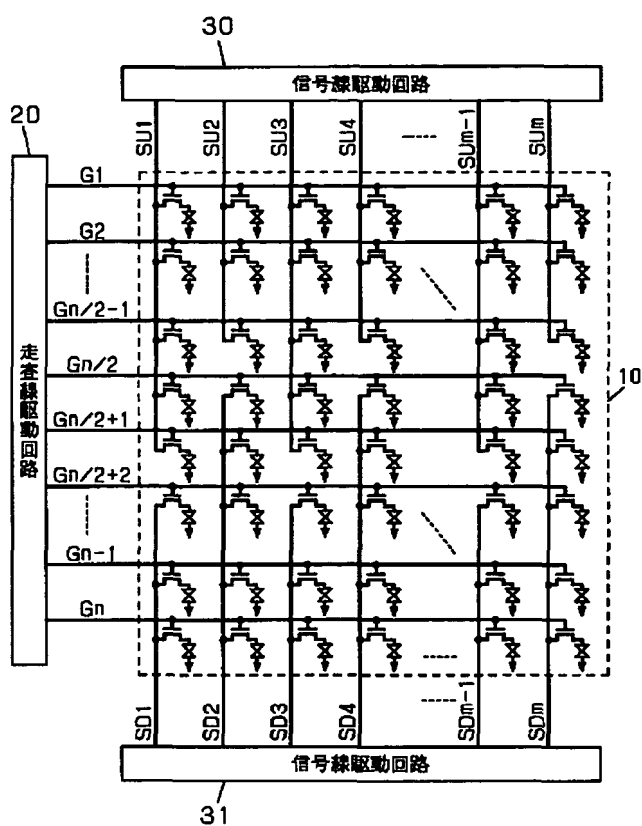
【図 3】



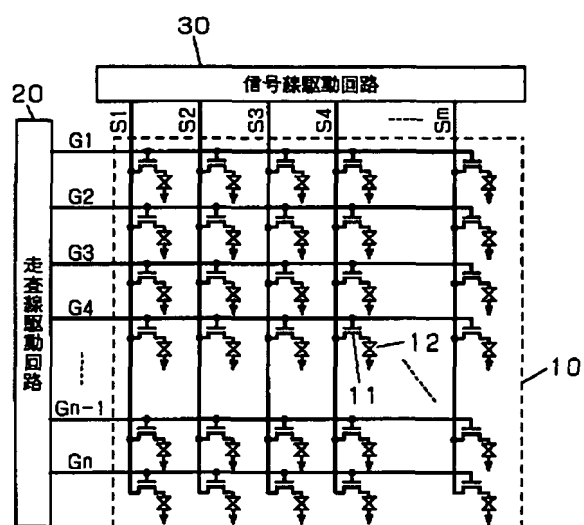
【図 4】



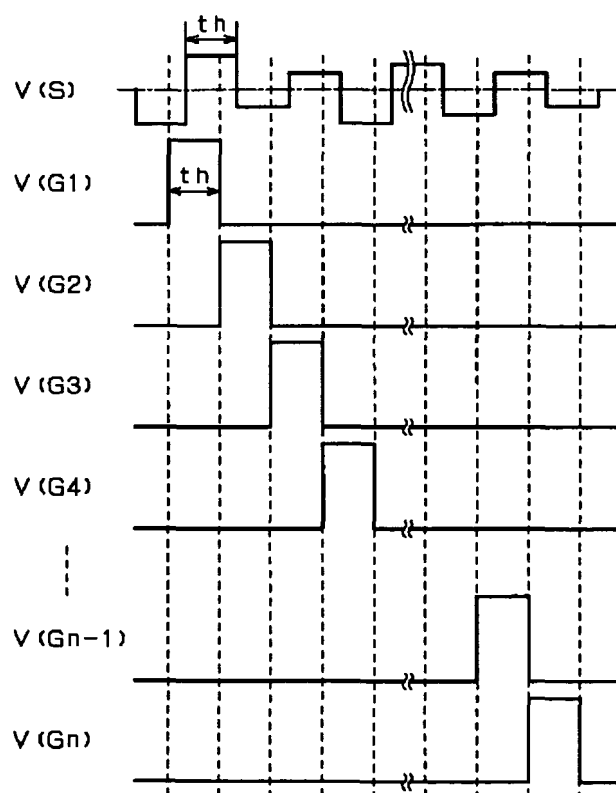
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	ターマコード (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 U
			6 2 3 W
3/30		3/30	J
3/36		3/36	

F ターム (参考) 2H092 JA24 NA30
2H093 NA16 NA31 NA41 NC12 NC34
ND10 ND39
5C006 AA01 AC28 BB14 BB16 BC03
BC12 BC20 BF34 EB05 FA22
FA23 FA47
5C080 AA06 AA10 BB05 CC06 DD05
DD06 DD26 EE19 FF11 FF13
JJ02 JJ03 JJ04